

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-022570

(43)Date of publication of application : 30.01.1991

(51)Int.Cl.

H01L 29/91

H01L 21/265

(21)Application number : 01-157162

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 20.06.1989

(72)Inventor : KISHI KOICHI
SUGIURA SOICHI

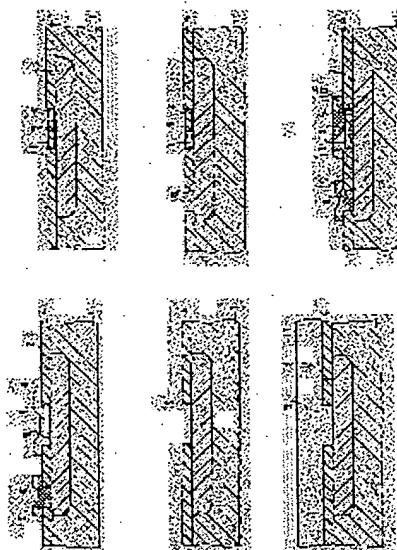
(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To cope with the micronization of an element by a method wherein a second conductivity type semiconductor layer is provided inside an opening, and a junction between a first conductivity type diffusion layer and the second conductivity type semiconductor layer is provided inside the semiconductor layer concerned.

CONSTITUTION: P-type impurity ions are selectively implanted into a substrate 1 and diffused to form a P-type diffusion layer 2. Then, an insulating film 4 is formed, and a contact hole 5 is provided. A polysilicon layer 11 is deposited on the whole surface, which is wholly etched back to enable the polysilicon layer 11 to be buried in the contact hole 5, and N-type impurity ions are implanted into the polysilicon layer 11. The substrate 1 is subjected to a prescribed heat treatment to turn the polysilicon layer 11 into an N-type. At this point, the implanted arsenic concerned is diffused into the polysilicon layer 11 in a depthwise direction.

Concurrently, P-type impurity contained in the P-type diffusion layer 2 is diffused in the layer 2 in a depthwise direction, and thus a P-N junction 9 is formed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-22570

⑬ Int.Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)1月30日

H 01 L 29/91
21/265

7638-5F
7522-5F

H 01 L 29/91
21/265

E
P

審査請求 有 請求項の数 2 (全8頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平1-157162

⑰ 出 願 平1(1989)6月20日

⑱ 発 明 者 岸 宏 一 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合
研究所内

⑲ 発 明 者 杉 浦 聡 一 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝多摩
川工場内

⑳ 出 願 人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

\r\n㉑ 代 理 人 弁理士 鈴江 武彦 外3名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) 半導体基板内に形成された第1導電型の拡散層と、

上記基板上に形成された絶縁膜と、

この絶縁膜を通して上記拡散層に対し開孔された開孔部と、

この開孔部内に形成された第2導電型の半導体層とを具備し、

この半導体層内に上記拡散層における第1導電型と、半導体層における第2導電型との接合部が設けられることを特徴とする半導体装置。

(2) 前記拡散層および半導体層の不純物濃度が共に $1.0 \times 10^{19} \text{cm}^{-3}$ 以上であることを特徴とする請求項(1)記載の半導体装置。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

この発明は、特に高不純物濃度のP型拡散層と、高不純物濃度のN型拡散層との接合部を持つ半導体装置に関する。

(従来の技術)

従来、例えばDRAMにおける基準電位発生回路には、第5図に示すようなダイオードが用いられている。

次に、このダイオードの構造について説明する。

まず、N型のシリコン基板1内には、P型の不純物であるボロンを含むP型拡散層2が形成されている。このP型拡散層2の半導体主面からの深さは、例えば $0.3 \mu\text{m}$ 程度に設定され、また、その不純物濃度は $1.0 \times 10^{19} \text{cm}^{-3}$ 以上に設定されている。さらに、このP型拡散層2内には、N型不純物であるヒ素を含むN型拡散層3が形成されている。このN型拡散層3の半導体主面からの深さは、例えば $0.2 \mu\text{m}$ 程度に設定され、また、その不

純物濃度は 10^{19}cm^{-3} 以上に設定されている（上記P型拡散層2より高めの濃度となる）。上記シリコン基板1上には、絶縁膜4が形成されている。この絶縁膜4の半導体主面からの高さは、例えば $1\sim 2\mu\text{m}$ 程度に設定されている。この絶縁膜4内には、上記N型拡散層3に対して、第1のコンタクト孔5が開孔されており、さらに上記P型拡散層2に対しても、同様な第2のコンタクト孔6が開孔されている。これら第1、第2のコンタクト孔5、および6内には、P型拡散層2、およびN型拡散層3にそれぞれ接するように、例えばアルミニウムからなる配線7が形成されている。

このような構造のダイオードは、P型拡散層2、およびN型拡散層3に接する配線7に順方向電流となるような電流が流れた時に、P型シリコンと、N型シリコンとの間で電位を発生する。この発生した電位は、P型シリコン、およびN型シリコン、すなわち、P型拡散層2、およびN型拡散層3の不純物濃度に依存し、温度依存性は小さい。このような点から、第5図に示すダイオードは、例え

— 3 —

応しあい、アルミニウムが拡散層を突き抜け、基板に達してしまう現象である。例えば第5図に示すダイオードでアルミニウムスパイクが発生すると、配線7を構成するアルミニウムが、N型拡散層2を突き抜け、P型拡散層3に達して導通不良を起こす。この問題を回避するには、N型拡散層2を、半導体主面から深くなるように形成しなければならない。これでは高集積化、すなわち素子の微細化の妨げとなる。

また、例えば上記ダイオードのような素子構造、つまりP型拡散層内にN型拡散層を持つようなPN接合の構造を形成する際には、現在、P型不純物であるボロンと、N型不純物であるヒ素との拡散長の違いを利用している。例えば両者をそれぞれイオン注入した後、同時に熱拡散させることにより、ダイオードとなるべきPN接合を形成している。ボロンの拡散係数と、ヒ素の拡散係数とでは、総じてボロンの方が高い。このため、熱拡散工程の温度や時間等は、N型拡散層2の設計寸法に合わせて設定されるようになる。このことか

— 5 —

ばDRAMの基準電位発生回路に用いられている。

ところで、現在、DRAMを初めとして、各種半導体装置の高集積化が進んでいる。この半導体装置の高集積化、すなわち素子の微細化が進むと、半導体主面から、より浅く、かつ高不純物濃度の拡散層が要求されてくる。つまり、半導体装置内部には、主面から浅く、高不純物濃度のPN接合部が形成されるようになる。上記説明したダイオードもこの傾向にもれず、主面からの深さがP型拡散層2の場合には約 $0.3\mu\text{m}$ 、N型拡散層3の場合には約 $0.2\mu\text{m}$ となっており、かつ不純物濃度は、共に 10^{19}cm^{-3} 以上となっている。また、このようなP型拡散層2内に、N型拡散層3が形成される場合では、一段と深さの浅いPN接合部が形成されるようになる。このように、PN接合部が浅くなってくると、配線7を構成する配線材料、例えばアルミニウムによるシリコンの食われ、いわゆるアルミニウムスパイクの問題がクローズアップされてくる。このアルミニウムスパイクとは、アルミニウムと、シリコンとが反

— 4 —

らも、P型拡散層2を半導体主面から浅い位置に形成する、並びに高不純物濃度にするには難点があり、やはり高集積化、すなわち素子の微細化の妨げとなっている。

（発明が解決しようとする課題）

この発明は上記のような点に鑑みて為されたもので、素子の微細化に対応可能な、高不純物濃度のP型拡散層と、高不純物濃度のN型拡散層とのPN接合部を持つ半導体装置を提供することを目的とする。

〔発明の構成〕

（課題を解決するための手段）

この発明による半導体装置によれば、半導体基板内に形成された第1導電型の拡散層と、上記基板上に形成された絶縁膜と、この絶縁膜を通して上記拡散層に対し開孔された開孔部と、この開孔部内に形成された第2導電型の半導体層とを具備し、この半導体層内に上記拡散層における第1導電型と、半導体層における第2導電型との接合部が設けられることを特徴とする。

— 6 —

(作用)

上記のような半導体装置にあっては、例えばP型拡散層に対して開孔されているコンタクト孔のような開孔部内に、例えばN型の半導体層を形成する。そして、このN型半導体層内に、上記P型拡散層とのPN接合部を設ける。このことにより、P型拡散層は、単独で基板内に形成されるようになるので深さ方向の寸法を縮小することができる。

(実施例)

以下、図面を参照してこの発明の実施例について説明する。

第1図は、この発明の第1の実施例に係わる半導体装置の断面図である。

第1図に示すように、例えばN型のシリコン基板1内には、P型不純物である、例えばボロンを含むP型拡散層2が形成されている。このP型拡散層2の半導体主面からの深さは、例えば0.3 μm 程度に設定され、また、その不純物濃度は 10^{19}cm^{-3} 以上に設定されている。上記シリコン

- 7 -

深さ方向の寸法は、従来のように、N型拡散層の寸法に依存することなく形成できるようになる。上記実施例中のP型拡散層2の深さ方向の寸法は、従来と同様、約0.3 μm に設定されているが、これ以下の寸法に設定することも勿論可能である。

また、N型ポリシリコン層8は、基板1上に開孔されている、例えばコンタクト孔5内と、さらにこれの上部とに及んで形成されている。したがって、N型ポリシリコン層8は、十分に厚い膜厚を持つことができ、このN型ポリシリコン層8の上部に、例えばアルミニウムからなる配線を形成したとしても、アルミニウムスパイクの恐れは低減される。

次に、この発明の第2の実施例に係わる半導体装置を、製造方法とともに第2図(a)ないし第2図(e)の断面図を参照して説明する。

まず、第2図(a)に示すように、例えばN型シリコン基板1内に、例えばホトレジストを用いた写真蝕刻法により、P型不純物である、例えばボロンを選択的にイオン注入し、拡散させること

- 9 -

基板1上には、絶縁膜4が形成されている。この絶縁膜4の半導体主面からの高さは、例えば1~2 μm 程度に設定されている。この絶縁膜4には、上記P型拡散層2に対して、第1、第2のコンタクト孔5、および6が開孔されている。これらのコンタクト孔うち、第1のコンタクト孔5内には、P型拡散層2に接するようにしてN型不純物である、例えばヒ素を含むN型ポリシリコン層8が形成されている。このN型ポリシリコン層8内には、これの形成工程中に上記P型拡散層2から拡散してきたボロンによってPN接合部9が形成されている。一方、第2のコンタクト孔6内には、P型拡散層2に接するように、例えばアルミニウムからなる配線10が形成されている。

このような構造のダイオードによれば、基板1内に形成されたP型拡散層2と、N型ポリシリコン層8とのPN接合部9は、基板1上に形成されたポリシリコン層内に形成されるようになっている。一方、上記P型拡散層2は、基板1内に単独で形成されている。したがって、P型拡散層2の

- 8 -

によってP型拡散層2を、例えば半導体主面からの深さが約0.3 μm となるように形成する。次に、例えばCVD法により、CVD酸化膜や、BPSG膜等からなる絶縁膜4を、例えば厚さ1~2 μm となるように形成する。次に、この絶縁膜4に対して、例えばホトレジストを用いた写真蝕刻法、およびRIE法を用いて、上記P型拡散層2に通じるコンタクト孔5を開孔する。

次に、第2図(b)に示すように、全面に、例えばCVD法により、ポリシリコン層11を堆積する。このとき、ポリシリコン層11の厚さは、コンタクト孔5内部を全て埋め込むために、コンタクト孔5の半径よりも厚く堆積する必要がある。

次に、第2図(c)に示すように、例えばRIE法により、上記ポリシリコン層11を全面的にエッチバックして、ポリシリコン層11を、上記コンタクト孔5内部に埋め込むようにする。このエッチバックは、例えば上記絶縁膜4の表面が露出するまで行なう。次に、上記コンタクト孔5内に埋め込まれたポリシリコン層11に対して、

- 10 -

例えばホトレジストを用いた写真蝕刻法により、選択的にN型不純物である、例えばヒ素を加速電圧60 KeV、ドーズ量 $1 \times 10^{16} \text{ cm}^{-2}$ の条件にてイオン注入する。そして、所定の熱処理を実施して、このポリシリコン層11をN型化する。このとき、上記イオン注入されたヒ素は、ポリシリコン層11中を深さ方向に拡散する。これと同時に、上記P型拡散層2に含まれている拡散係数の高いP型不純物であるボロンもこのポリシリコン層11中を深さ方向に拡散する。そして、ポリシリコン層11中にPN接合部9が形成される。

次に、第2図(d)に示すように、上記エッチバック工程にて露出した絶縁膜4に対して、例えばホトレジストを用いた写真蝕刻法、およびRIE法を用いて、上記P型拡散層2に通じるコンタクト孔6を開孔する。

次に、第2図(e)に示すように、全面に、例えばスパッタ法により、アルミニウム膜を蒸着する。次に、例えばホトレジストを用いた写真蝕刻法により、このアルミニウム膜を所定の配線形状

— 11 —

まず、第3図(a)に示すように、例えばN型シリコン基板1内に、例えばホトレジストを用いた写真蝕刻法により、P型不純物である、例えばボロンを選択的にイオン注入し、拡散させることによってP型拡散層2を、例えば半導体主面からの深さが約 $0.3 \mu\text{m}$ となるように形成する。次に、例えばCVD法により、CVD酸化膜や、BPSG膜等からなる絶縁膜4を、例えば厚さ $1 \sim 2 \mu\text{m}$ となるように形成する。次に、この絶縁膜4に対して、例えばホトレジストを用いた写真蝕刻法、およびRIE法を用いて、上記P型拡散層2に通じるコンタクト孔5を開孔する。

次に、第3図(b)に示すように、全面に、例えば選択的気相成長法(SEG法; Selective Epitaxial Growth)により、単結晶シリコン層12を、選択的にコンタクト孔5内部に成長させ、埋め込む。次に、このコンタクト孔5内に選択的に埋め込まれた単結晶シリコン12に対して、例えばホトレジストを用いた写真蝕刻法により、選択的にN型不純物である、例えばヒ素を加速電圧

— 13 —

になるようにパターニングして配線10を形成する。

以上のような工程により、第2の実施例に係わる半導体装置が製造される。

このように、ダイオードを構成する層の一つであるN型ポリシリコン層11をコンタクト孔5内に、全て埋め込んで形成しても良い。例えばコンタクト孔5の深さは、上記絶縁膜4の厚さとほぼ同じ $1 \sim 2 \mu\text{m}$ 程度となる。つまり、上記N型ポリシリコン層11の厚さは、 $1 \sim 2 \mu\text{m}$ の範囲で任意に設定できるので、アルミニウムスパイクが発生しない、十分な厚さとなるように設定できる。

また、第1の実施例同様、上記P型拡散層2の深さ方向の寸法は、N型拡散層の寸法に依存することなく形成できる。P型拡散層2の深さ方向の寸法は、約 $0.3 \mu\text{m}$ に設定されているが、これ以下の寸法に設定することも勿論可能である。

次に、この発明の第3の実施例に係わる半導体装置を、製造方法とともに第3図(a)ないし第3図(d)の断面図を参照して説明する。

— 12 —

60 KeV、ドーズ量 $1 \times 10^{16} \text{ cm}^{-2}$ の条件にてイオン注入する。そして、所定の熱処理を実施して、この単結晶シリコン層12をN型化する。このとき、上記イオン注入されたヒ素は、単結晶シリコン層12中を深さ方向に拡散する。これと同時に、上記P型拡散層2に含まれている拡散係数の高いP型不純物であるボロンもこの単結晶シリコン層12中を深さ方向に拡散する。そして、単結晶ポリシリコン層12中にPN接合部9が形成される。

次に、第3図(c)に示すように、上記絶縁膜4に対して、例えばホトレジストを用いた写真蝕刻法、およびRIE法を用いて、上記P型拡散層2に通じるコンタクト孔6を開孔する。

次に、第3図(d)に示すように、全面に、例えばスパッタ法により、アルミニウム膜を蒸着する。次に、例えばホトレジストを用いた写真蝕刻法により、このアルミニウム膜を所定の配線形状になるようにパターニングして配線10を形成する。

以上のような工程により、第3の実施例に係わ

— 14 —

る半導体装置が製造される。

このように、上記コンタクト孔内に埋め込まれているダイオードを構成する一つの層は、N型単結晶シリコン層12でも良い。

この第3の実施例でも、上記第1、第2の実施例と同様な効果があることは勿論である。

次に、この発明に係わる第4の半導体装置を第4図の断面図を参照して説明する。

この実施例は、第1～第3の実施例のように、シリコン基板内に直接形成した拡散層でなくとも、本発明が適用できることを説明するものである。

第4図に示すように、例えばシリコン基板13上には、絶縁膜14が形成されている。この絶縁膜14上には、N型の不純物である、例えばヒ素を含むN型ポリシリコン層15が、例えば厚さ約0.3 μ m程度に設定され、形成されている。このN型ポリシリコン層15には、P型不純物である、例えばボロンを含むP型拡散層16が形成されている。このP型拡散層16は、例えば上記絶縁膜14に届くまで拡散されている。また、その

— 15 —

一手段となっている素子の多層構造化にも応用でき、しかも高さ方向の寸法を削減することができるので、いっそうの微細化が可能となる。

この第4の実施例において上記N型ポリシリコン層15は、多結晶のままでも、あるいは再結晶化されたシリコンであっても良いことは言うまでもない。

さらに、このN型ポリシリコン層15は、上記第2の実施例のように、コンタクト孔18内に埋め込まれても良い。

以上のように、この発明に係わる第1ないし第4の半導体装置では、素子の微細化に対応可能な高不純物濃度のP型拡散層と、高不純物濃度のN型拡散層とのPN接合部を持つ、例えばDRAMの基準電位発生回路に用いられるダイオードが提供される。

本発明は、上記ダイオードに適用されるばかりでなく、高不純物濃度のP型拡散層と、高不純物濃度のN型拡散層との接合部を持つ半導体装置であれば、素子微細化に有益な効果をもって適用で

— 17 —

不純物濃度は 10^{19}cm^{-3} 以上に設定されている。上記N型ポリシリコン層15上には、絶縁膜17が形成されている。この絶縁膜17のポリシリコン層15主面からの高さは、例えば1～2 μ m程度に設定されている。この絶縁膜17には、上記P型拡散層16に対して、第1、第2のコンタクト孔18、および19が開孔されている。これらのコンタクト孔うち、第1のコンタクト孔18内には、P型拡散層16に接するようにしてN型不純物である、例えばヒ素を含むN型ポリシリコン層20が形成されている。このN型ポリシリコン層20内には、これの形成工程中に、P型拡散層16から拡散してきたボロンによってPN接合部9が形成されている。一方、第2のコンタクト孔19内には、P型拡散層16に接するように、例えばアルミニウムからなる配線21が形成されている。

このように、本発明はシリコン基板内に形成された拡散層でなくとも適用可能である。このことから、本発明は、現在、半導体装置の高集積化の

— 16 —

きることは勿論である。

尚、第1ないし第4の実施例において、N型不純物にはヒ素を、またP型不純物にはボロンを使用して説明してきたが、導電型を決定する不純物はこれらに限定されることはない。例えばN型不純物にはリンや、アンチモンを使用しても構わない。また、N型の拡散層と、P型の拡散層との導電型の入れ替えても構わない。例えば第1図を参照して説明すると、N型シリコン基板1はP型シリコン基板とされても良く、この場合には、当然のことながらP型拡散層2はP型拡散層2となり、N型ポリシリコン層8は、P型ポリシリコン層8となる。

また、第2、第3の実施例で説明されている製造工程中、ポリシリコン層11、あるいは単結晶シリコン層12に対する不純物の導入手段として、イオン注入法が用いられているが、これもイオン注入法に限らず、種々の導入手段を用いても構わない。しかし、本発明に係わる半導体装置が、CMOS型半導体装置と混載される場合には、イ

— 18 —

オン注入法が不純物導入の手段として最適である。

〔発明の効果〕

以上説明したようにこの発明によれば、素子の微細化に対応可能な、高不純物濃度のP型拡散層と、高不純物濃度のN型拡散層とのPN接合部を持つ半導体装置が提供される。

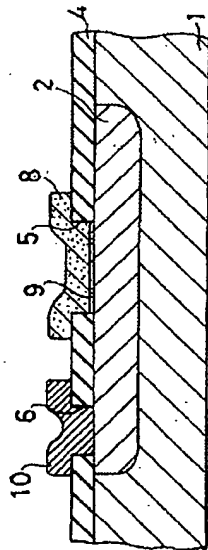
4. 図面の簡単な説明

第1図はこの発明の第1の実施例に係わる半導体装置の断面図、第2図(a)ないし第2図(e)はこの発明の第2の実施例に係わる半導体装置を製造工程順に示した断面図、第3図(a)ないし第3図(d)はこの発明の第3の実施例に係わる半導体装置を製造工程順に示した断面図、第4図はこの発明の第4の実施例に係わる半導体装置の断面図、第5図は従来の半導体装置の断面図である。

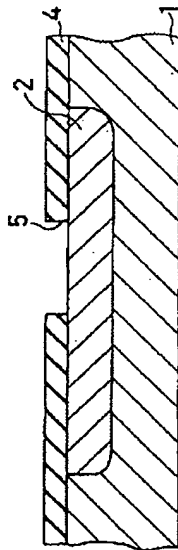
1…N型シリコン基板、2…P型拡散層、4…絶縁膜、5、6…コンタクト孔、8…N型ポリシリコン層、9…PN接合部、10…配線、11…N型ポリシリコン層、12…N型単結晶

シリコン層、13…シリコン基板、14…絶縁膜、15…N型ポリシリコン層、16…P型拡散層、17…絶縁膜、18、19…コンタクト孔、20…N型ポリシリコン層、21…配線。

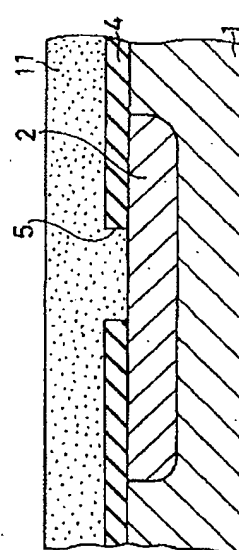
出願人代理人 井理士 鈴江武彦



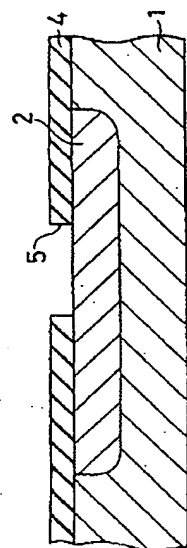
第1図



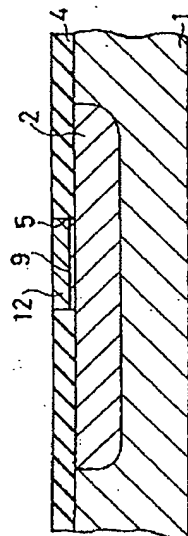
第2図(a)



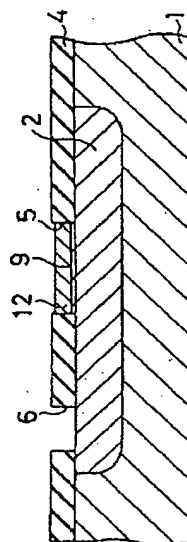
第2図(b)



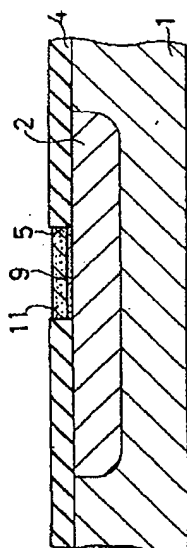
第 3 図 (a)



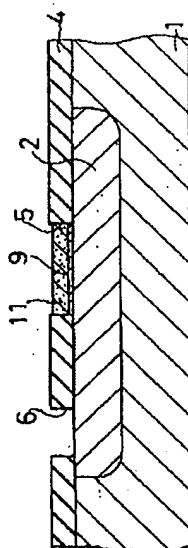
第 3 図 (b)



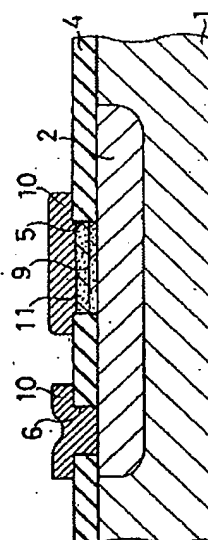
第 3 図 (c)



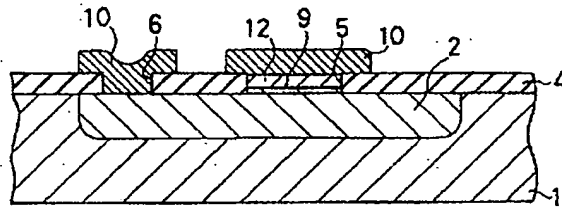
第 2 図 (c)



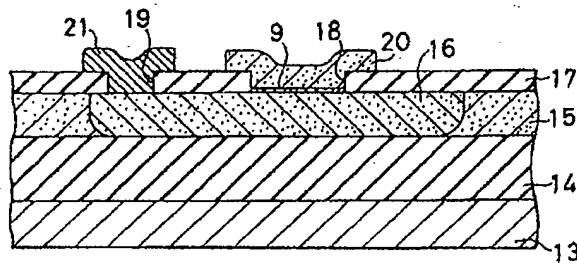
第 2 図 (d)



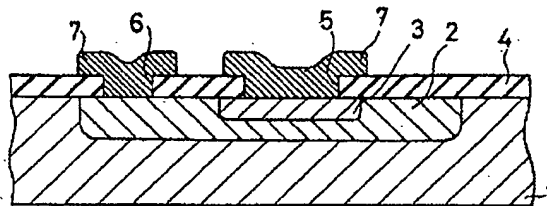
第 2 図 (e)



第 3 図 (d)



第 4 図



第 5 図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.